

(11)特許出願公開番号

特開2001-308152

(P2001-308152A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/66		H 0 1 L 21/66	E 2 G 0 1 1
G 0 1 R 1/06		G 0 1 R 1/06	B 4 M 1 0 6
H 0 1 L 21/60	3 2 1	H 0 1 L 21/60	3 2 1 Y 5 F 0 4 4

審査請求 未請求 請求項の数6 OL (全 11 頁)

(21)出願番号 特願2000-120372(P2000-120372)

(22)出題日 平成12年4月21日(2000.4.21)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 堯明者 字井 伸之

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 發明者 兵頭 正人

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100090273

弁理士 國分 孝悦

[最終頁に続く](#)

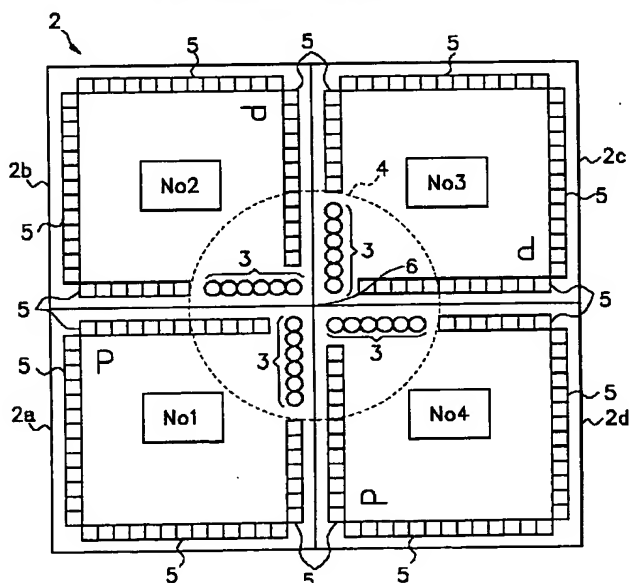
(54) 【発明の名称】 半導体ウエハ及びその試験方法

(57) 【要約】

【課題】 半導体チップサイズにかかわらず半導体ウエハ試験時に同じプローブカードを共用することにより、半導体チップの製造時間及び納期の短縮化を図る。

【解決手段】 半導体ウエハ上には複数の多角形の半導体チップ領域 2 a ~ 2 d が互いに隣接している。各半導体チップ領域はそれぞれ互いに隣接する多角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッド 3 を備えている。互いに隣接する複数の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、複数の半導体チップ領域の正常又は異常を同時に試験する。半導体チップサイズが変化する場合でも、半導体チップ領域内の試験用ボンディングパッドを同じ位置に配置することが可能になり、半導体ウエハ試験時に同じプローブカードを共用することができる。

### 第1の実施形態による半導体ウエハ



1

## 【特許請求の範囲】

【請求項 1】 互いに隣接する複数の多角形の半導体チップ領域の組を有する半導体ウエハであって、各半導体チップ領域はそれぞれ前記半導体チップ領域の組内で互いに隣接する辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする半導体ウエハ。

【請求項 2】 前記半導体ウエハは互いに隣接した 4 個の多角形の半導体チップ領域を含み、

各半導体チップ領域は、それぞれ前記互いに隣接する多角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする請求項 1 記載の半導体ウエハ。

【請求項 3】 前記半導体ウエハは互いに隣接した 3 個の多角形の半導体チップ領域を含み、

各半導体チップ領域は、それぞれ前記互いに隣接する多角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする請求項 1 記載の半導体ウエハ。

【請求項 4】 互いに隣接する複数の多角形の半導体チップ領域の組を有する半導体ウエハであって、各半導体チップ領域はそれぞれ前記半導体チップ領域の組内で互いに隣接する辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、

前記互いに隣接する複数の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する複数の半導体チップ領域の正常又は異常を同時に試験する半導体ウエハの試験方法。

【請求項 5】 前記半導体ウエハは互いに隣接した 4 個の多角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する多角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、

前記互いに隣接する 4 個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する 4 個の半導体チップ領域の正常又は異常を同時に試験する請求項 4 記載の半導体ウエハの試験方法。

【請求項 6】 前記半導体ウエハは互いに隣接した 3 個の多角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する多角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、

前記互いに隣接する 3 個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する 3 個の半導体チップ領域の正常又は異常を同時に試験する請求項 4 記載の半導体ウエハの試験方法。

## 【発明の詳細な説明】

2

## 【0001】

【発明の属する技術分野】本発明は、半導体ウエハ及びその試験方法に関し、特に半導体ウエハ上の複数の半導体チップ領域を同時に試験するのに適した半導体ウエハ及びその試験方法に関する。

## 【0002】

【従来の技術】図 9 は、従来技術による半導体ウエハ試験における測定方法を示す。4 角形の半導体チップ領域 5 2 は、半導体ウエハ上に複数個設けられている。ボンディングパッド（以下、パッドという）5 5 は、半導体チップ領域 5 2 の 4 辺上に設けられる。電源パッド 5 7 は、パッド 5 5 の一部として設けられる。

【0003】この半導体チップ領域 5 2 の試験を行うには、プローブカード 5 4 を用いる。プローブカード 5 4 は、パッド 5 5 の数と同数のプローブカード針 5 6 を有する。プローブカード針 5 6 の各針をパッド 5 5 の各パッドにそれぞれ接触させて、半導体チップ領域 5 2 の正常又は異常を試験する。

【0004】この場合、半導体ウエハ上の他の半導体チップ領域を試験するときには、プローブカード 5 2 を他の半導体チップ領域上に移動させて試験を行う。したがって、1 回の試験で 1 個の半導体チップ領域 5 2 しか試験を行うことができない。

## 【0005】

【発明が解決しようとする課題】近年、半導体ウエハの口径が増大すると共に、半導体ウエハ上に製造する素子の集積度が向上しているため、1 枚の半導体ウエハから生成される半導体チップ数が激増している。そのため、半導体ウエハ上のすべての半導体チップ領域を試験する時間が膨大になっている。半導体ウエハの試験時間を短縮するために、半導体ウエハ上の複数の半導体チップ領域を同時に測定する以下に示す方法が考えられる。

【0006】図 10 は、半導体ウエハ試験における複数の半導体チップ領域の同時測定方法を示す。半導体ウエハ上で隣接する 4 個の半導体チップ領域 6 2 を同時に測定する方法を示す。各半導体チップ領域 6 2 は、左辺に試験用パッド 6 3 を有し、右辺と上辺と下辺とにパッド 6 5 を有する。試験用パッド 6 3 は、通常動作時に使用するのみならず、半導体ウエハ試験においても使用するパッドであり、電源パッドを含む。

【0007】図 9 に示した試験方法では、すべてのパッド 5 5 にプローブカード針 5 6 を接触させて試験を行っていたが、スキャン（SCAN）設計手法によれば、図 10 の試験用パッド 6 3 のみにプローブカード針 6 6 を接触させて試験を行えば、半導体チップ領域 6 2 内の素子又は結線等の正常又は異常を調べることができる。

【0008】プローブカード 6 4 は、4 個の半導体チップ領域 6 2 の試験用パッド 6 3 の数と同数のプローブカード針 6 6 を有する。プローブカード針 6 6 の各針を試験用パッド 6 3 の各パッドにそれぞれ接触させて、4 個

10

20

30

40

50

3

の半導体チップ領域62の正常又は異常を同時に試験することができる。この同時測定方法によれば、4個の半導体チップ領域62を同時に測定することができるので、半導体ウエハ試験時間を短縮することができる。

【0009】このプローブカード64は、半導体チップ領域62の試験用パッド63の位置に応じたプローブカード針66を有する。このため、半導体チップ領域62の大きさが変化すると、試験用パッド63の位置及び各試験用パッド63間の長さLも変化してしまい、別のプローブカード64を新たに作成しなければならなくなる。現実には、半導体チップが多品種化の傾向にあるため、新たな半導体チップの設計を行う度に、半導体チップサイズが変わり、試験用パッド63の位置が変わらざるを得ず、新たなプローブカード64を作成する必要がある。

【0010】近年、特にシステムASICにおいて短納期の要望が強まっている。また、半導体設計及びプロセス技術の向上により、ターンアラウンドタイムが短くなってきている。そのため、プローブカード64を新たに作成するために要する時間が納期の遅れの主な要因になってきており、今後はその傾向がさらに強まるものと予想される。

【0011】本発明は、どのような半導体チップサイズであっても、半導体ウエハ試験時にプローブカードを共用することにより、新たにプローブカードを作成する必要をなくし、半導体チップの製造時間及び納期の短縮化並びにコストの低減化を図ることを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体ウエハの試験方法は、互いに隣接する複数の多角形の半導体チップ領域の組を有する半導体ウエハであって、各半導体チップ領域はそれぞれ半導体チップ領域の組内で互いに隣接する辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハを用いて試験を行う。その際、互いに隣接する複数の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、互いに隣接する複数の半導体チップ領域の正常又は異常を同時に試験する。

【0013】本発明は上記技術手段より成るので、複数の多角形の半導体チップ領域が互いに隣接する中心点付近に各半導体チップ領域の試験用ボンディングパッドが集まる。試験用ボンディングパッドを集めることにより、半導体チップのサイズが変化する場合でも、試験用ボンディングパッドを同じ位置に配置することが可能になる。半導体チップのサイズに依らずに試験用ボンディングパッドの位置が決まれば、半導体ウエハ試験時に同じプローブカードを共用することができ、異なるサイズの半導体チップに含わせて新たにプローブカードを作成する必要がなくなる。

【0014】

4

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

（第1の実施形態）図1は、本発明の第1の実施形態による半導体ウエハの平面図である。4個の4角形の半導体チップ領域2a、2b、2c、2dを1組として、半導体チップ領域ユニット2を構成している。図2に示すように、半導体チップ領域ユニット2は、半導体ウエハ1上で複数配列されている。

【0015】図1において、4個の半導体チップ領域2a、2b、2c、2dは、該4個の半導体チップ領域2a～2dが互いに接する中心点（隣接点）6を軸として半導体ウエハの平面上でそれぞれ互いに90度ずつ回転させたパターンと同一のパターンである。各半導体チップ領域2a、2b、2c、2d上のパターン「P」は、半導体チップ領域2a、2b、2c、2dの各パターンの向きを示すためのものである。

【0016】具体的には、左上の半導体チップ領域2bは、左下の半導体チップ領域2aを点6を軸として半導体ウエハの平面上で時計方向に90度回転させたパターンと同一のパターンである。右上の半導体チップ領域2cは、左上の半導体チップ領域2bを点6を軸として半導体ウエハの平面上で時計方向に90度回転させたパターンと同一のパターンである。右下の半導体チップ領域2dは、右上の半導体チップ領域2cを点6を軸として半導体ウエハの平面上で時計方向に90度回転させたパターンと同一のパターンである。

【0017】左下の半導体チップ領域2aは、右辺の上部に試験用パッド3を有し、4辺上で試験用パッド3を除く領域にパッド5を有する。左上の半導体チップ領域2bは、下辺の右部に試験用パッド3を有し、4辺上で試験用パッド3を除く領域にパッド5を有する。右上の半導体チップ領域2cは、左辺の下部に試験用パッド3を有し、4辺上で試験用パッド3を除く領域にパッド5を有する。右下の半導体チップ領域2dは、上辺の左部に試験用パッド3を有し、4辺上で試験用パッド3を除く領域にパッド5を有する。

【0018】各半導体チップ領域2a、2b、2c、2dの試験用パッド3は、点6の周辺に集中して設けられ、その上にプローブカード4を配置して半導体ウエハ試験を行う。試験用パッド3は、電源パッド、グランドパッド、クロックパッド、入力パッド及び出力パッドを含む。試験用パッド3は、通常動作時に使用するのみならず、半導体ウエハ試験においても使用するパッドである。

【0019】半導体ウエハ試験を行う際には、スキャン（SCAN）設計手法を用いる。スキャン設計手法は、試験用パッド3のみにプローブカード針を接触させて、パッド5にプローブカード針を接触させずに、半導体チップ領域内の素子又は結線等の正常又は異常を試験することができる。

50

5

【0020】図3は、半導体ウエハ上で隣接する4個の半導体チップ領域2a、2b、2c、2dを同時に測定する方法を示す。プローブカード4は、4個の半導体チップ領域2a、2b、2c、2dの試験用パッド3の数と同数のプローブカード針15を有する。プローブカード針15の各針の位置は、試験用パッド3の各パッドの位置に対応する。プローブカード針15の各針を試験用パッド3の各パッドにそれぞれ同時に接触させて、4個の半導体チップ領域2a、2b、2c、2dの正常又は異常を同時に試験する。4個の半導体チップ領域2a、2b、2c、2dを同時に測定することができるので、各半導体チップ領域を別々に試験する場合に比べ、半導体ウエハ試験時間を短縮することができる。

【0021】図4は、半導体チップ領域2a上の試験用パッド3の位置を示す。試験用パッド3は、電源パッドVDD、グランドパッドGND、クロックパッドCLKの他に、入力パッド及び出力パッドを含む。例えば、グランドパッドGNDは、半導体チップ領域2aの上辺（隣接点6を含む）から垂直方向にL1（例えば100μm）の位置、及び右辺（隣接点6を含む）から水平方向にL4の位置に配置される。電源パッドVDDは、半導体チップ領域2aの上辺（隣接点6を含む）から垂直方向にL2（例えば200μm）の位置、及び右辺（隣接点6を含む）から水平方向にL4の位置に配置される。クロックパッドCLKは、半導体チップ領域2aの上辺（隣接点6を含む）から垂直方向にL3（例えば300μm）の位置、及び右辺（隣接点6を含む）から水平方向にL4の位置に配置される。

【0022】上記のように、半導体チップのサイズに関係なく試験用パッド3の位置を固定とする。これにより、チップサイズが変わっても、同じプローブカード4を用いて試験を行うことができる。さらに、試験用パッド3は、例えば上からグランドパッドGND、電源パッドVDD、クロックパッドCLKの順のように、順番を指定することが好ましい。ただし、この順番を変えても、試験用パッドの位置が固定されていれば、プローブカード4を用いて試験を行うテストの設定を変更すれば、同じプローブカード4を共用することは可能である。なお、半導体チップ領域2b、2c、2dは、上記のように、半導体チップ領域2aを回転させたパターンと同一のパターンであり、試験用パッド3の位置は固定される。

【0023】図5は、半導体チップサイズと試験用パッド3の位置との関係を示す。半導体チップ領域ユニット2は、半導体チップサイズを小さくすると半導体チップ領域ユニット11に変化し、半導体チップサイズを大きくすると半導体チップ領域ユニット12に変化する。半導体チップサイズが変化しても、各半導体チップ領域ユニット2、11、12内の試験用パッド3の位置は同じであり、同一のプローブカード4を共用することができ

6

る。

【0024】（第2の実施形態）図6は、本発明の第2の実施形態による半導体ウエハの平面図である。本実施形態は、第1の実施形態と比べ、各半導体チップ領域2a、2b、2c、2dが2つの試験用パッド23a、23bを有し、かつ左下の半導体チップ領域2a及び右上の半導体チップ領域2cが同じパターンであり、左上の半導体チップ領域2b及び右下の半導体チップ領域2dが同じパターンである点が異なる。

【0025】半導体チップ領域2a、2b、2c、2dは、隣接点6を軸として時計方向に順に隣接している。半導体チップ領域2b及び2dは、半導体チップ領域2aに対して、隣接点6を軸として半導体ウエハの平面上で時計方向に90度回転させたパターンと同一のパターンである。半導体チップ領域2cは、半導体チップ領域2aのパターンと同一のパターンである。

【0026】半導体チップ領域2a及び2cは、右辺の上部に試験用パッド23aを有し、左辺の下部に試験用パッド23bを有し、4辺上で試験用パッド23a、23bを除く領域にパッド25を有する。半導体チップ領域2b及び2dは、下辺の右部に試験用パッド23aを有し、上辺の左部に試験用パッド23bを有し、4辺上で試験用パッド23a、23bを除く領域にパッド25を有する。これらの試験用パッド23a、23bも、半導体チップサイズによらず、図4と同様に各パッドが決められた位置に固定される。

【0027】半導体ウエハ試験に実際に使用する試験用パッドについて説明する。半導体チップ領域2aの試験用パッド23a、半導体チップ領域2bの試験用パッド23a、半導体チップ領域2cの試験用パッド23b、及び半導体チップ領域2dの試験用パッド23bは、隣接点6の周辺に集中して設けられ、プローブカード4の針に同時に接触され、4個の半導体チップ領域2a、2b、2c、2dの正常又は異常を同時に試験することができる。

【0028】他の試験用パッドについて説明する。半導体チップ領域2aの試験用パッド23b、半導体チップ領域2bの試験用パッド23b、半導体チップ領域2cの試験用パッド23a、及び半導体チップ領域2dの試験用パッド23aは、半導体チップ領域ユニット2を単位として半導体ウエハ試験を行う場合には用いられないが、通常動作時に用いることができる。

【0029】第2の実施形態でも、4個の半導体チップ領域2a、2b、2c、2dを同時に測定することができるので、各半導体チップ領域を別々に試験する場合に比べ、半導体ウエハ試験時間を短縮することができる。また、半導体チップサイズが変化しても、各半導体チップ領域内の試験用パッド23a、23bの位置は同じであるので、同一のプローブカード4を共用することができる。

7

【0030】（第3の実施形態）図7は、本発明の第3の実施形態による半導体ウエハの平面図である。本実施形態は、第1の実施形態と比べ、各半導体チップ領域2 a、2 b、2 c、2 dが4つの試験用パッド33 a、33 b、33 c、33 dを有し、かつ4個の半導体チップ領域2 a、2 b、2 c、2 dが互いに同じパターンである点異なる。

【0031】各半導体チップ領域2 a、2 b、2 c、2 dは、右辺の上部に試験用パッド33 a、下辺の右部に試験用パッド33 b、左辺の下部に試験用パッド33 c、上辺の左部に試験用パッド33 dを有し、4辺上で試験用パッド33 a～33 dを除く領域にパッド35を有する。これらの試験用パッド33 a～33 dも、半導体チップサイズによらず、図4と同様に各パッドが決められた位置に固定される。

【0032】半導体ウエハ試験に実際に使用する試験用パッドについて説明する。半導体チップ領域2 aの試験用パッド33 a、半導体チップ領域2 bの試験用パッド33 b、半導体チップ領域2 cの試験用パッド33 c、及び半導体チップ領域2 dの試験用パッド33 dは、隣接点6の周辺に集中して設けられ、プローブカード4の針に同時に接触され、4個の半導体チップ領域2 a、2 b、2 c、2 dの正常又は異常を同時に試験することができる。

【0033】他の試験用パッドについて説明する。半導体チップ領域2 aの試験用パッド33 b、33 c、33 d、半導体チップ領域2 bの試験用パッド33 a、33 c、33 d、半導体チップ領域2 cの試験用パッド33 a、33 b、33 d、及び半導体チップ領域2 dの試験用パッド33 a、33 b、33 cは、半導体チップ領域ユニット2を単位として半導体ウエハ試験を行う場合には用いられないが、通常動作時に用いることができる。

【0034】第3の実施形態でも、4個の半導体チップ領域2 a、2 b、2 c、2 dを同時に測定することができるので、各半導体チップ領域を別々に試験する場合に比べ、半導体ウエハ試験時間を短縮することができる。また、半導体チップサイズが変化しても、各半導体チップ領域内の試験用パッド33 a～33 dの位置は同じであるので、同一のプローブカード4を共用することができる。

【0035】第1～第3の実施形態に示したように、半導体ウエハ上には互いに隣接した4個の4角形の半導体チップ領域2 a～2 dの組が複数配列されており、各半導体チップ領域2 a～2 dは、それぞれ互いに隣接する4角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えていけばよい。

【0036】（第4の実施形態）図8は、本発明の第4の実施形態による半導体ウエハの平面図である。本実施形態は、第1～第3の実施形態と比べ、3個の正六角形の半導体チップ領域42 a、42 b、42 cが半導体ウ

8

エハ上で互いに隣接している点異なる。

【0037】各半導体チップ領域42 a、42 b、42 cは、それぞれ半導体チップ領域42 a～42 cが互いに接する点46の周辺に試験用パッド43を有する。半導体チップ領域42 a～42 cの試験用パッド43は、隣接点46の周辺に集中して設けられ、プローブカード44の針に同時に接触され、3個の半導体チップ領域42 a～42 cの正常又は異常を同時に試験することができる。この試験用パッド43も、半導体チップサイズによらず、各パッドが決められた位置に固定される。

【0038】第4の実施形態では、3個の半導体チップ領域42 a～42 cを同時に測定することができるので、各半導体チップ領域を別々に試験する場合に比べ、半導体ウエハ試験時間を短縮することができる。また、半導体チップサイズが変化しても、半導体チップ領域内の試験用パッド43の位置は同じであるので、同一のプローブカード44を共用することができる。

【0039】第4の実施形態に示したように、半導体ウエハ上には互いに隣接した3個の六角形の半導体チップ領域42 a～42 cの組が複数配列されており、各半導体チップ領域42 a～42 cは、それぞれ互いに隣接する六角形の辺のうちの少なくともいずれかの辺に試験用パッド43を備えていけばよい。

【0040】近年、特にシステムASICにおいて短納期の要望が強まっており、半導体設計及びプロセス技術の向上によりターンアラウンドタイムが短くなってきている。従来は、半導体チップサイズが変わる度にプローブカードを新たに作成しなければならず、納期の遅れが生じていた。

【0041】第1～第4の実施形態によれば、複数の六角形の半導体チップ領域が互いに隣接する中心点付近に各半導体チップ領域の試験用パッドを集中して配置することにより、半導体チップのサイズが変化する場合でも、試験用ボンディングパッドを同じ位置に配置することが可能になる。半導体チップのサイズに依らずに試験用ボンディングパッドの位置が決まれば、半導体ウエハ試験時に同じプローブカードを共用することができ、新たにプローブカードを作成する必要がなくなり、半導体チップの製造時間及び納期の短縮化並びにコストの低減化を図ることができる。

【0042】また、例えば3個又は4個の半導体チップ領域の組からなる半導体チップ領域ユニットを同時に測定することができるので、各半導体チップ領域を別々に試験する場合に比べ、半導体ウエハ試験時間を短縮することができる。半導体チップ領域ユニットは、半導体ウエハ上に複数配列されている。半導体ウエハ試験では、半導体チップ領域ユニット毎に、プローブカードを移動させて試験を行うことができる。

【0043】なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに

10

20

30

40

50

9

過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0044】本発明の様々な形態をまとめると、以下のようになる。

(付記1) 互いに隣接する複数の多角形の半導体チップ領域の組を有する半導体ウエハであって、各半導体チップ領域はそれぞれ前記半導体チップ領域の組内で互いに隣接する辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする半導体ウエハ。

(付記2) 前記半導体ウエハは互いに隣接した4個の多角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する多角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする付記1記載の半導体ウエハ。

【0045】(付記3) 前記半導体ウエハは互いに隣接した4個の4角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する4角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする付記2記載の半導体ウエハ。

(付記4) 前記半導体ウエハは互いに隣接した4個の4角形の半導体チップ領域の組が複数配列されており、各半導体チップ領域は、それぞれ前記互いに隣接する4角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする付記3記載の半導体ウエハ。

【0046】(付記5) 前記4個の4角形の半導体チップ領域は、該4個の半導体チップ領域が互いに接する点を軸として前記半導体ウエハの平面上でそれぞれ互いに90度づつ回転させたパターンと同一のパターンであることを特徴とする付記4記載の半導体ウエハ。

(付記6) 前記4個の4角形の半導体チップ領域は、時計方向に第1、第2、第3及び第4の半導体チップ領域が互いに隣接しており、前記第2及び第4の半導体チップ領域は、前記第1の半導体チップ領域に対して、それぞれ前記第1～第4の半導体チップ領域が互いに接する点を軸として前記半導体ウエハの平面上で90度回転させたパターンと同一のパターンであり、前記第3の半導体チップ領域は、前記第1の半導体チップ領域のパターンと同一のパターンであることを特徴とする付記4記載の半導体ウエハ。

【0047】(付記7) 前記4個の4角形の半導体チップ領域は、時計方向に第1、第2、第3及び第4の半導体チップ領域が互いに隣接しており、前記第1～第4の半導体チップ領域は、互いに同一のパターンであることを特徴とする付記4記載の半導体ウエハ。

(付記8) 前記試験用ボンディングパッドは、電源ボン

10

ディングパッド、グランドボンディングパッド、クロックボンディングパッド、入力ボンディングパッド及び出力ボンディングパッドを含むことを特徴とする付記4記載の半導体ウエハ。

【0048】(付記9) 前記半導体ウエハは互いに隣接した3個の多角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する多角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする付記1記載の半導体ウエハ。

(付記10) 前記半導体ウエハは互いに隣接した3個の6角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する6角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする付記9記載の半導体ウエハ。

【0049】(付記11) 前記半導体ウエハは互いに隣接した3個の6角形の半導体チップ領域の組が複数配列されており、各半導体チップ領域は、それぞれ前記互いに隣接する6角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えたことを特徴とする付記10記載の半導体ウエハ。

(付記12) 互いに隣接する複数の多角形の半導体チップ領域の組を有する半導体ウエハであって、各半導体チップ領域はそれぞれ前記半導体チップ領域の組内で互いに隣接する辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、前記互いに隣接する複数の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する複数の半導体チップ領域の正常又は異常を同時に試験する半導体ウエハの試験方法。

【0050】(付記13) 前記半導体ウエハは互いに隣接した4個の多角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する多角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、前記互いに隣接する4個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する4個の半導体チップ領域の正常又は異常を同時に試験する付記12記載の半導体ウエハの試験方法。

(付記14) 前記半導体ウエハは互いに隣接した4個の4角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する4角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、前記互いに隣接する4個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する4個の半導体チップ領域の正常又は異常を同時に試験する付記13記載の半導体ウエハの試験方法。

10

20

30

40

50



11

【0051】（付記15）前記半導体ウエハは互いに隣接した4個の4角形の半導体チップ領域の組が複数配列されており、各半導体チップ領域は、それぞれ前記互いに隣接する4角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、前記互いに隣接する4個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する4個の半導体チップ領域の正常又は異常を同時に試験する付記14記載の半導体ウエハの試験方法。

（付記16）前記4個の4角形の半導体チップ領域は、該4個の半導体チップ領域が互いに接する点を軸として前記半導体ウエハの平面上でそれぞれ互いに90度ずつ回転させたパターンと同一のパターンである半導体ウエハの試験方法であって、前記互いに隣接する4個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する4個の半導体チップ領域の正常又は異常を同時に試験する付記15記載の半導体ウエハの試験方法。

【0052】（付記17）前記4個の4角形の半導体チップ領域は、時計方向に第1、第2、第3及び第4の半導体チップ領域が互いに隣接しており、前記第2及び第4の半導体チップ領域は、前記第1の半導体チップ領域に対して、それぞれ前記第1～第4の半導体チップ領域が互いに接する点を軸として前記半導体ウエハの平面上で90度回転させたパターンと同一のパターンであり、前記第3の半導体チップ領域は、前記第1の半導体チップ領域のパターンと同一のパターンである半導体ウエハの試験方法であって、前記互いに隣接する4個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する4個の半導体チップ領域の正常又は異常を同時に試験する付記15記載の半導体ウエハの試験方法。

（付記18）前記4個の4角形の半導体チップ領域は、時計方向に第1、第2、第3及び第4の半導体チップ領域が互いに隣接しており、前記第1～第4の半導体チップ領域は、互いに同一のパターンである半導体ウエハの試験方法であって、前記互いに隣接する4個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する4個の半導体チップ領域の正常又は異常を同時に試験する付記15記載の半導体ウエハの試験方法。

【0053】（付記19）前記試験用ボンディングパッドは、電源ボンディングパッド、グランドボンディングパッド、クロックボンディングパッド、入力ボンディングパッド及び出力ボンディングパッドを含むことを特徴とする付記15記載の半導体ウエハ。

（付記20）前記半導体ウエハは互いに隣接した3個の多角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する多角形の辺のうちの少

12

なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、前記互いに隣接する3個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する3個の半導体チップ領域の正常又は異常を同時に試験する付記12記載の半導体ウエハの試験方法。

【0054】（付記21）前記半導体ウエハは互いに隣接した3個の6角形の半導体チップ領域を含み、各半導体チップ領域は、それぞれ前記互いに隣接する6角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、前記互いに隣接する3個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する3個の半導体チップ領域の正常又は異常を同時に試験する付記20記載の半導体ウエハの試験方法。

（付記22）前記半導体ウエハは互いに隣接した3個の6角形の半導体チップ領域の組が複数配列されており、各半導体チップ領域は、それぞれ前記互いに隣接する6角形の辺のうちの少なくともいずれかの辺に試験用ボンディングパッドを備えた半導体ウエハの試験方法であって、前記互いに隣接する3個の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、前記互いに隣接する3個の半導体チップ領域の正常又は異常を同時に試験する付記21記載の半導体ウエハの試験方法。

【0055】

【発明の効果】以上説明したように本発明によれば、半導体チップのサイズが変化する場合でも、半導体チップ領域内の試験用ボンディングパッドを同じ位置に配置することが可能になる。半導体チップのサイズに依らずに試験用ボンディングパッドの位置が決まれば、半導体ウエハ試験時に同じプローブカードを共用することができ、新たにプローブカードを作成する必要がなくなり、半導体チップの製造時間及び納期の短縮化並びにコストの低減化を図ることができる。

【0056】また、互いに隣接する複数の半導体チップ領域の試験用ボンディングパッドにプローブカード針を同時に接触させて、互いに隣接する複数の半導体チップ領域の正常又は異常を同時に試験することができるので、各半導体チップ領域を別々に試験する場合に比べ、半導体ウエハ試験時間を短縮することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による半導体ウエハ上の半導体チップ領域の平面図である。

【図2】半導体ウエハ全体の平面図である。

【図3】半導体ウエハ試験における同時測定を示す半導体チップ領域の平面図である。

【図4】半導体チップ領域内の試験用パッドの一部を示す平面図である。

10

20

30

40

50

【図5】半導体チップサイズが変化した場合の半導体チップ領域の平面図である。

【図6】本発明の第2の実施形態による半導体ウエハ上の半導体チップ領域の平面図である。

【図7】本発明の第3の実施形態による半導体ウエハ上の半導体チップ領域の平面図である。

【図8】本発明の第4の実施形態による半導体ウエハ上の半導体チップ領域の平面図である。

【図9】従来技術による半導体ウエハ試験を示す半導体チップ領域の平面図である。

【図10】半導体ウエハ試験における同時測定を示す半導体チップ領域の平面図である。

【符号の説明】

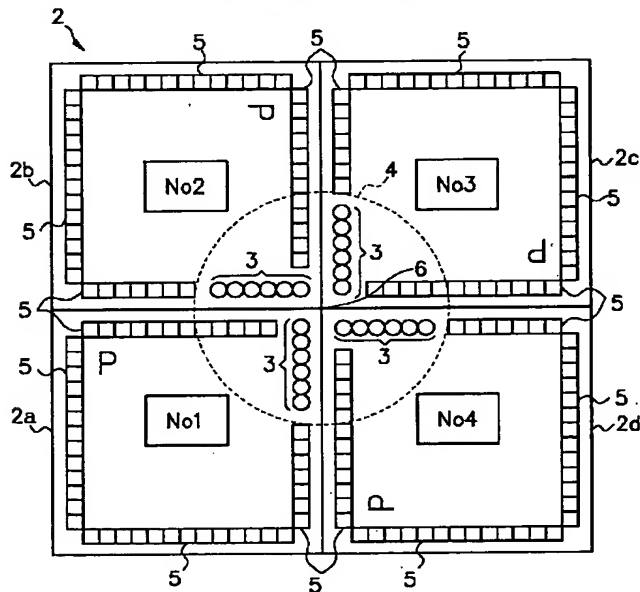
- 1 半導体ウエハ
- 2 半導体チップ領域ユニット
- 2 a, 2 b, 2 c, 2 d 半導体チップ領域
- 3 試験用パッド
- 4 プローブカード
- 5 パッド
- 6 隣接点

- 11, 12 半導体チップ領域
- 15 プローブカード針
- 23 a, 23 b 試験用パッド
- 25 パッド
- 33 a ~ 33 d 試験用パッド
- 35 パッド
- 42 a ~ 42 c 半導体チップ領域
- 43 試験用パッド
- 44 プローブカード
- 52 半導体チップ領域
- 54 プローブカード
- 55 パッド
- 56 プローブカード針
- 57 電源パッド
- 62 半導体チップ領域
- 63 試験用パッド
- 64 プローブカード
- 65 パッド
- 66 プローブカード針

20

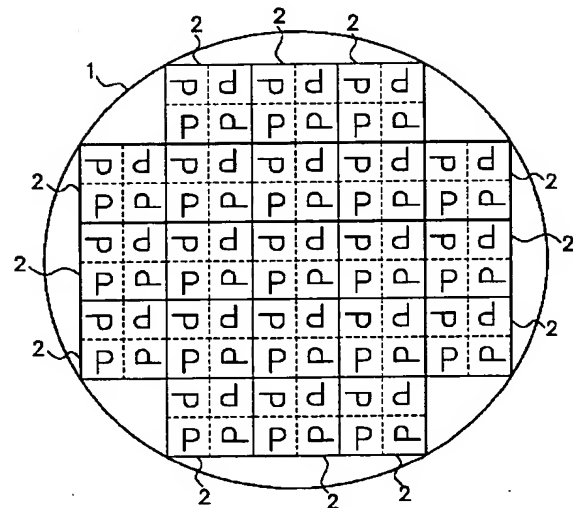
【図1】

第1の実施形態による半導体ウエハ



【図2】

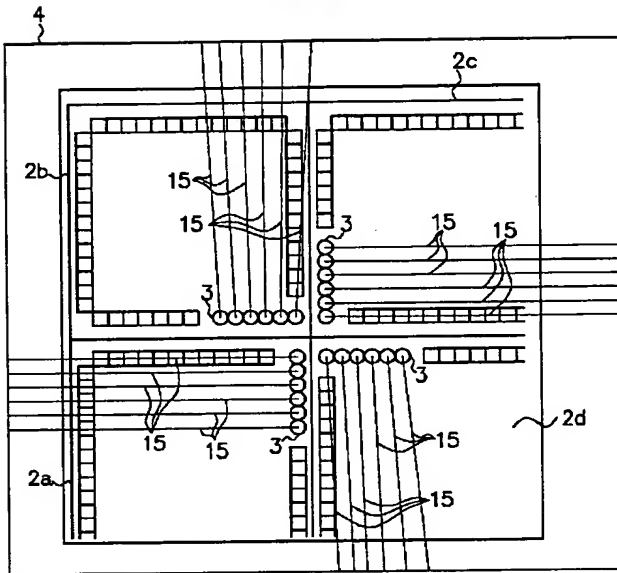
半導体ウエハ全体図





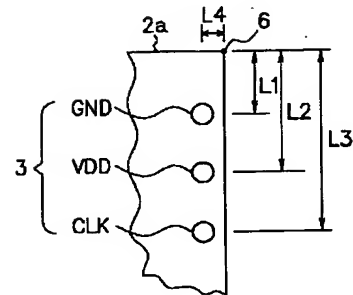
【図3】

同時測定



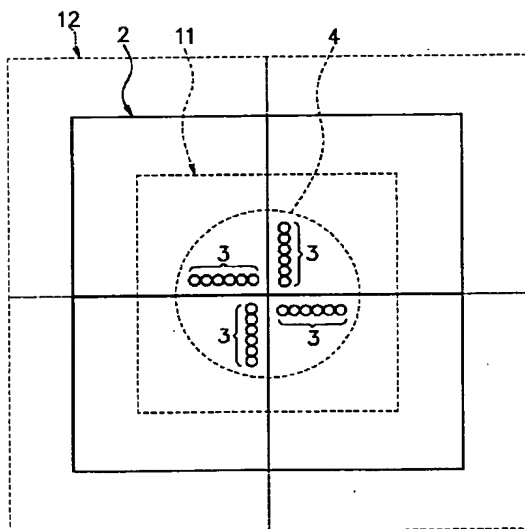
【図4】

試験用パッド



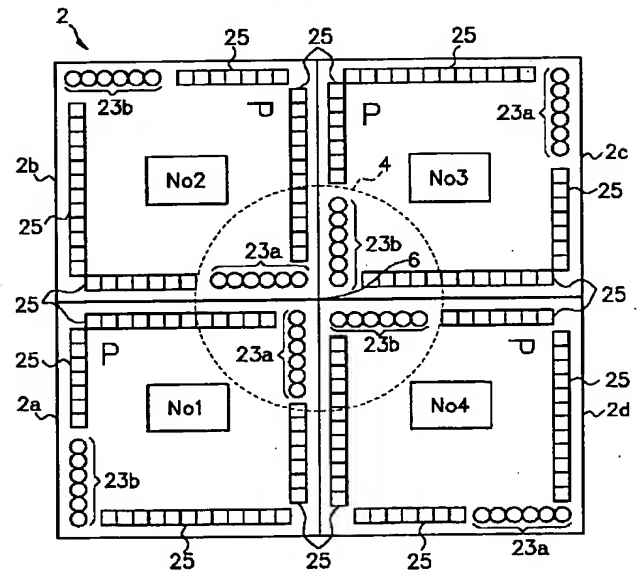
【図5】

半導体チップサイズの関係



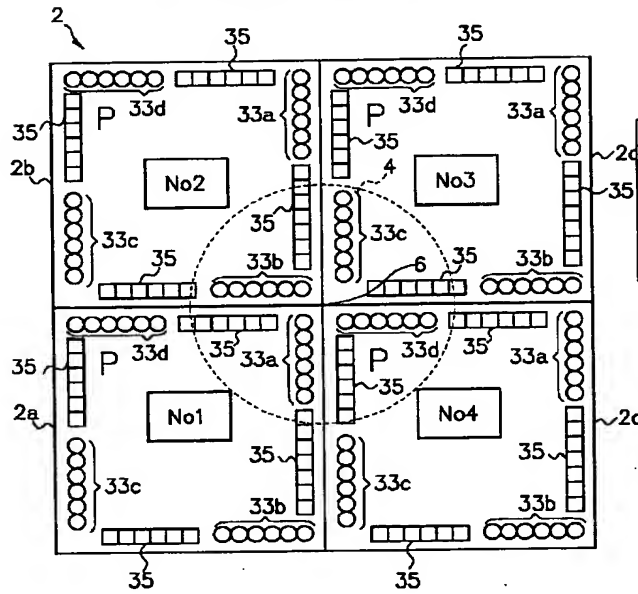
【図6】

第2の実施形態による半導体ウエハ



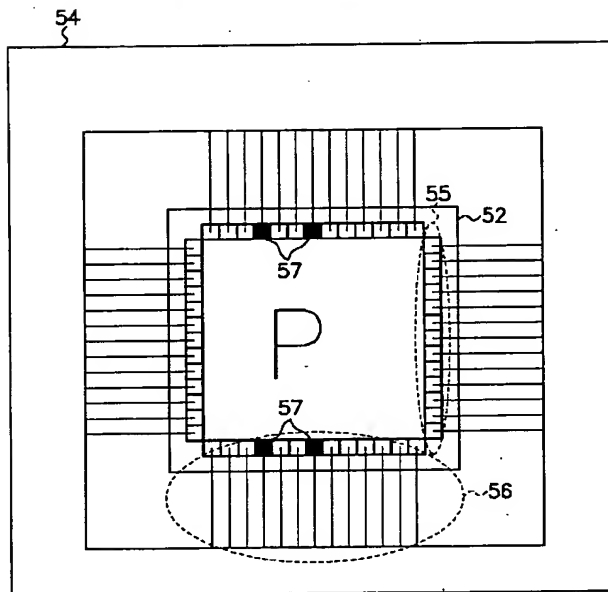
【図 7】

第3の実施形態による半導体ウエハ



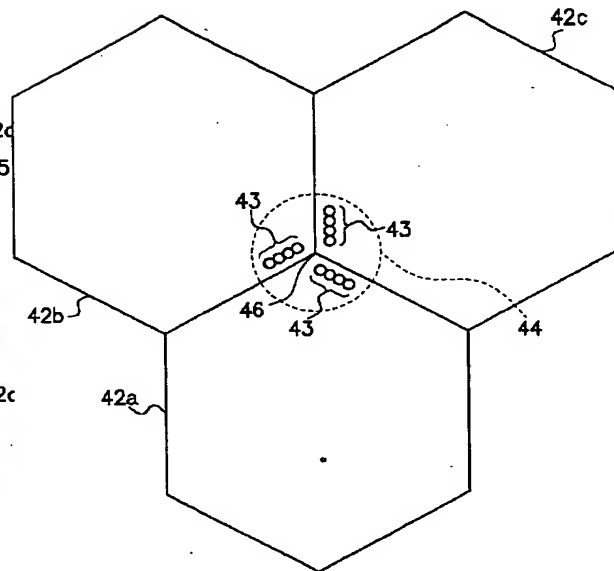
【図 9】

従来技術による半導体ウエハ試験



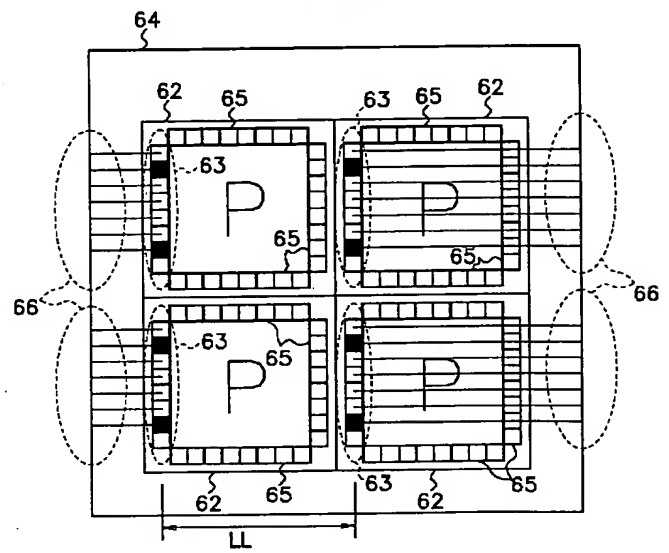
【図 8】

第4の実施形態による半導体ウエハ



【図 10】

同時測定



フロントページの続き

Fターム(参考) 2G011 AA02 AA16 AC06 AE03 AF07  
4M106 AA01 AD01 AD24 AD26 BA01  
BA14 DD10 DJ27  
5F044 EE07